ข้อกำหนดการจ้างวาดรูปสิทธิบัตร (Patent Figure Drafting — Statement of Work)

---

1. ข้อมูลทั่วไป (General Information)

รายการ	รายละเอียด
ชื่อการประดิษฐ์	Parallel Temporal-Logic Neuromorphic Processing Unit (PT-NPU)
ผู้ว่าจ้าง	ไชยภพ นิลแพทย์ (The Architect)
จำนวนรูป	7 รูป (Figure 1-7)
รูปแบบไฟล์ที่ต้องการ	Vector: PDF, SVG, AI, or EPS (300 DPI minimum)
ขนาดหน้า	A4 (210 × 297 mm), พื้นที่วาด ≤ 180 × 260 mm
สี	Black-and-white line drawing เท่านั้น (ตามมาตรฐาน USPTO 37 CFR 1.84)
กำหนดส่ง	[วันที่ตกลง]
ค่าจ้างรวม	[จำนวนเงิน]

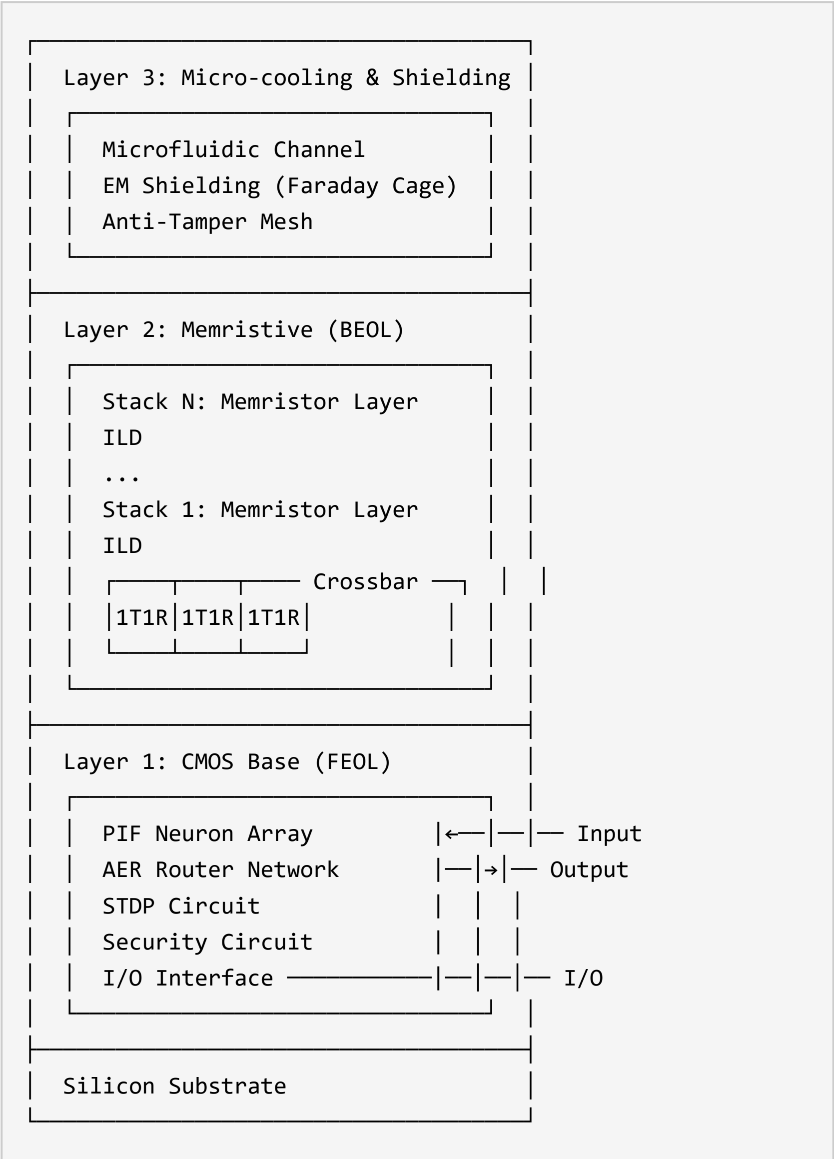
---

2. รายละเอียดรูปแต่ละรูป (Figure Specifications)

FIG. 1 — High-Level Block Diagram

ประเภท: Block Diagram **ความซับซ้อน:** ปานกลาง **ลักษณะ:** แสดงสามชั้นหลัก (Layers) แบบ Stacked View แบบแนวตั้ง

ต้องมีองค์ประกอบ:

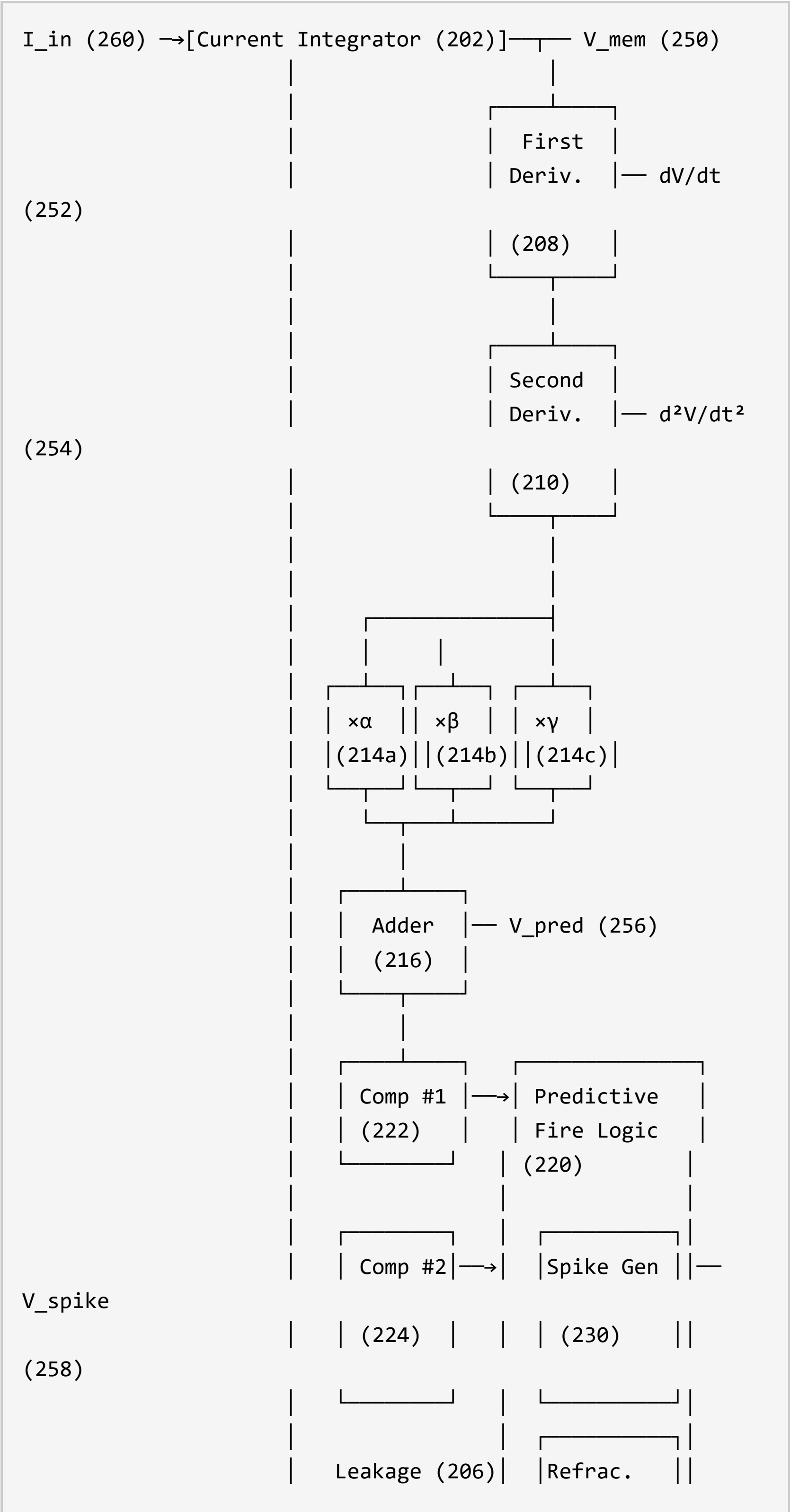


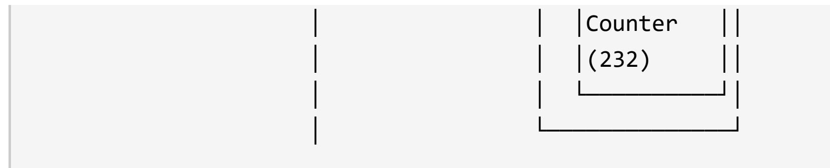
Reference Numbers: 100-160 (26 หมายเลข) **หมายเหตุ:** ลูกศรแสดง Data Flow (Input → Synapse → PIF Neuron → Output)

FIG. 2 — PIF Neuron Circuit Schematic

ประเภท: Electronic Circuit Schematic **ความซับซ้อน:** สูง (สำคัญที่สุด) **ลักษณะ:** Schematic มาตรฐานของวงจร Mixed-Signal CMOS

ต้องมีองค์ประกอบย่อย (Sub-blocks):





```
                       |                |   |Counter   ||
                       |                |   |(232)     ||
                       |                |   └──────────┘|
                       |                └───────────────┘
```

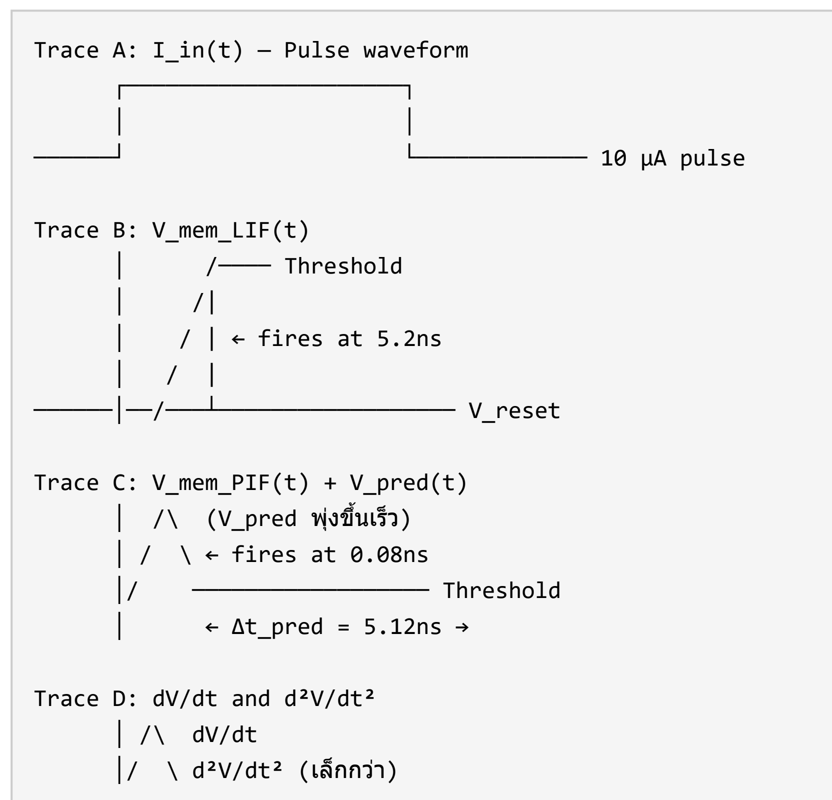
ต้องมีองค์ประกอบทางเทคนิค: 1. Op-Amp symbols (standard triangle) 2. Capacitors with capacitance values (C_mem=100fF, C_1=1pF, C_2=1pF, C_H=50fF) 3. Resistors with values (R_1=1kΩ, R_2=1kΩ) 4. NMOS/PMOS transistor symbols for switches 5. Ground (GND) and power (V_DD=1.0V) connections 6. All signal node labels (I_in, V_mem, V_dv1, V_dv2, V_pred, V_spike) 7. All sub-block outlines with dashed boxes and labels 8. PGA blocks with α=100-1000, β=50-500, γ=50-200

Reference Numbers: 200-260 (36 หมายเลข)

FIG. 3 — Timing Diagram (PIF vs LIF)

ประเภท: Timing/Waveform Diagram **ความซับซ้อน:** ปานกลาง **ลักษณะ:** Signal waveforms over time (0-10 ns)

ต้องมี Traces (4 traces ซ้อนกันในแนวตั้ง):



```
Trace A: I_in(t) — Pulse waveform
      ┌──────────────────────┐
      │                      │
──────┘                      └───────────── 10 μA pulse

Trace B: V_mem_LIF(t)
      │      /─── Threshold
      │     /|
      │    / | ← fires at 5.2ns
      │   /  |
──────|──/───┴──────────────────── V_reset

Trace C: V_mem_PIF(t) + V_pred(t)
      │  /\  (V_pred พุ่งขึ้นเร็ว)
      │ /  \ ← fires at 0.08ns
      │/    ────────────────── Threshold
      │      ← Δt_pred = 5.12ns →

Trace D: dV/dt and d²V/dt²
      │ /\  dV/dt
      │/  \ d²V/dt² (เล็กกว่า)
```

ต้องมีองค์ประกอบ: 1. แกนเวลา (t) จาก 0-10 ns พร้อม Scale Bar 2. เส้นระดับ V_threshold (0.5V) แบบประ 3. ลูกศรชี้ Δt_pred = 5.12 ns พร้อมข้อความ 4. ลูกศรชี้ t_pred = 0.08 ns และ t_fire = 5.2 ns 5. Pre-emptive Spike ของ PIF แสดงเร็วกว่า LIF Spike

Reference Numbers: 300-366 (18 หมายเลข)

FIG. 4 — Cross-Sectional Monolithic 3D Integration

ประเภท: Device Cross-Section **ความซับซ้อน:** สูงมาก **ลักษณะ:** ภาพตัดขวางแบบ TEM-style

ต้องมี Layer Stack (จากล่างขึ้นบน): 1. Silicon Substrate (P-type) — ความหนา ~100 μm 2. STI Isolation 3. CMOS FEOL: N-well, P-well, Gate, S/D, Contact, ILD, Cu M1-Mx 4. PIF Neuron / AER Router / STDP / Security (ระบุพื้นที่) 5. Memristive Layer: BE → HfO_2 → TE → ILD (ซ้อน 4-16 ชั้น) 6. Via array เชื่อมต่อระหว่างชั้น 7. Microfluidic channel (H_2O/glycol) 8. EM Shielding (Cu, >1μm) 9. Anti-Tamper Mesh (Cu line <100nm, pitch <200nm) 10. Passivation Layer

ข้อกำหนด: - ใช้ Hatching pattern แตกต่างกันในแต่ละวัสดุ - Layer thickness ต้องมีลูกศรกำกับ - ต้องมี Magnification Scale Bar

Reference Numbers: 400-480 (40 หมายเลข)

FIG. 5 — 3D Memristor Crossbar Array Structure

ประเภท: Mixed (Perspective + Cross-section + Graph) **ความซับซ้อน:** สูง **ลักษณะ:** 4 Sub-figures (5A, 5B, 5C, 5D)

FIG. 5A — Perspective View: - 3D isometric view ของ Crossbar Array - Wordlines แนวนอน, Bitlines แนวตั้ง - 1T1R cells at crosspoints - 4 stacked layers แบบโปร่งแสง - ลูกศรแสดง WL Decoder, BL Decoder/Sense Amp

FIG. 5B — 1T1R Cell Detail (Cross-section): - Access NMOS transistor (ใน CMOS layer) - Bottom Electrode (TiN/TaN 10-20nm) - Switching Layer (HfO_2 5-10nm) — แสดง Conductive Filament - Top Electrode (TiN/Pt 10-20nm) - ILD (SiO_2/Low-k 50-100nm)

FIG. 5C — I-V Characteristics: - Graph: Voltage (V) vs Current (A) - Hysteresis Loop แสดง SET/RESET - Label: V_set ≈ +1.5V, V_reset ≈ -1.5V - HRS: ~1 MΩ, LRS: ~10 kΩ - Read region: V_read ≈ 0.1V

FIG. 5D — Multi-Level Cell: - Graph: Conductance levels (16 levels, 4-bit) - G_min (HRS) → G_max (LRS) - Intermediate states แบบ stepped

Reference Numbers: 500-566 (34 หมายเลข)

FIG. 6 — AER Router Network & Power Gating

ประเภท: Block + Timing Diagram **ความซับซ้อน:** ปานกลาง-สูง **ลักษณะ:** 5 Sub-figures (6A, 6B, 6C, 6D, 6E)

FIG. 6A — Network Topology (2D Mesh): - Grid 3×3 หรือ 4×4 ของ Router Nodes - PIF Neuron Tile (16×16 neurons) connected to each - North/East/South/West/Local ports

FIG. 6B — Router Node Internal: - Input FIFO buffer (32-128 deep) - Crossbar Switch (Muller C-element) - Arbiter (Round-robin) - Routing Table (SRAM <1KB) - Power Gating Switch (PMOS Header) - Sleep/Wake signal

FIG. 6C — AER Packet Format: - 48-bit packet layout: Source ID (16b) | Timestamp (24b) | Priority (2b) | Reserved (6b) - Priority legend: 00=Decoy, 01=Normal, 10=High, 11=Critical

FIG. 6D — Handshake Timing: - 4-Phase Protocol: Req/Ack signals - Data bus waveform

FIG. 6E — Power Gating Timing: - Idle → Wake → Active → Sleep cycle - Power consumption: Sleep ~0W, Active ~0.1 pJ/spike - Wake-up latency <1 ns

Reference Numbers: 600-678 (28 หมายเลข)

FIG. 7 — Hardware Security Subsystem

ประเภท: Block + Diagram **ความซับซ้อน:** สูง **ลักษณะ:** 6 Sub-figures (7A, 7B, 7C, 7D, 7E, 7F)

FIG. 7A — Overall Security Architecture: - 4 main blocks: Decoy Spike Gen | PUF Obfuscation | Power Randomizer | Anti-Tamper

FIG. 7B — Decoy Spike Generator: - PRNG (32-bit LFSR) → Spike Shaping → Output with Priority=00 - Genuine Spike Monitoring for Statistical Matching

FIG. 7C — PUF-Based Routing: - RO PUF Array (1024 stages) + Challenge/Response - Seed Generator → Path Scrambler → Obfuscated Router

FIG. 7D — Power Profile Randomizer: - Current-Steering DAC + PRNG Noise Pattern Generator - Capacitor Coupling to PDN - Before/After Power Trace (SNR < 1 after)

FIG. 7E — Anti-Tamper Mesh: - Fine-pitch wire mesh (Cu, <100nm line, <200nm pitch) - Wheatstone Bridge Continuity Monitor - Global Erase Controller → Erase Signal to Memristor Array

FIG. 7F — Tamper Response Timing: - Mesh Break Event → Detection <1μs → Erase <100ns

Reference Numbers: 700-796 (36 หมายเลข)

---

3. มาตรฐานการวาด (Drawing Standards)

สำหรับยื่น USPTO (37 CFR 1.84):

- [x] Black ink on white paper (or electronic equivalent)
- [x] No color, no shading (hatching permitted)
- [x] Line thickness: minimum 0.5 mm (0.020 inch)
- [x] Font size: minimum 2.5 mm (0.098 inch)
- [x] Reference numbers: minimum 3.2 mm (0.125 inch) height
- [x] Margins: Top/Left/Right ≥ 25 mm, Bottom ≥ 12.5 mm
- [x] Numbering: sequential, no gaps
- [x] No text in drawings (except labels and numbers)
- [x] Sub-figures labeled: FIG. 1, FIG. 2, ... or FIG. 1A, FIG. 1B, ...

สำหรับยื่นกรมทรัพย์สินทางปัญญาไทย:

- [x] เส้นสีดำบนพื้นขาว

- [x] ขนาด A4
- [x] ระยะขอบ ≥ 20 mm

---

4. กำหนดการส่งมอบ (Deliverables)

งวด	รูป	วันที่ส่ง	% เงิน
1	FIG. 1, FIG. 3	[วันที่]	30%
2	FIG. 2 (สำคัญ)	[วันที่]	30%
3	FIG. 4, FIG. 5	[วันที่]	20%
4	FIG. 6, FIG. 7 + Final Review	[วันที่]	20%

---

5. เงื่อนไข (Terms)

1. **ลิขสิทธิ์**: ผู้ว่าจ้างเป็นเจ้าของลิขสิทธิ์ในรูปทั้งหมด (Work for Hire)
2. **การแก้ไข**: รวมการแก้ไข 2 รอบต่อรูป (หลังจากร่างแรก)
3. **รูปแบบไฟล์**: ส่งไฟล์ต้นฉบับ Vector (AI/SVG/EPS) + PDF
4. **การรักษาความลับ**: ผู้รับจ้างต้องเก็บข้อมูลการประดิษฐ์เป็นความลับ
5. **การชำระเงิน**: โอนผ่าน [ธนาคาร] ภายใน 30 วันหลังจากตรวจรับงาน

---

6. ตัวอย่าง References สำหรับ Draftsperson

- USPTO Patent Drawings Standards: https://www.uspto.gov/patents/patent-forms/patent-drawings
- Example Neuromorphic Patent Drawings: US 10,489,672 B2 (Intel Loihi), US 9,558,428 B2 (IBM TrueNorth)
- Recommended Drawing Tools: AutoCAD, Adobe Illustrator, Inkscape (free), OrCAD/Cadence schematic export

---

ผู้ว่าจ้าง: ______________________ ผู้รับจ้าง: ______________________ วันที่: ______________________